

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-347468

(43) Date of publication of application : 27.12.1993

(51) Int.Cl. H05K 3/18
// H05K 3/42

(21) Application number : 04-153971

(71) Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22) Date of filing : 15.06.1992

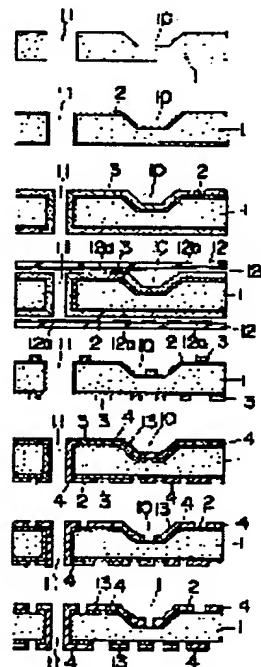
(72) Inventor : KUBOI YOSHIYUKI
NOBETANI TORU
KOBAYASHI SEIJI

(54) MANUFACTURE OF PRINTED CIRCUIT BOARD

(57) Abstract:

PURPOSE: To form a circuit of a fine pattern on a surface of a base which is stereoscopically formed.

CONSTITUTION: A conductive thin film 2 is provided on a surface of a base 1 which is stereoscopically formed. The surface of the film 2 is covered with electrodeposited photoresist 3. The photoresist 3 is exposed and developed to remove the photoresist 3 by a circuit pattern. The surface of the film 2 of a part exposed by removing the photoresist 3 is electroplated to form a conductor layer 4. After the photoresist 3 is peeled, the film exposed by peeling the photoresist 3 is removed by etching. A part exposed without covering with the photoresist 3 of the film 2 is electroplated to provide a conductor layer 4 having a predetermined thickness thereby to form a circuit, and hence etching may be lightly processed to remove the film 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-347468

(43)公開日 平成5年(1993)12月27日

(51)Int.Cl.⁵
H 05 K 3/18
// H 05 K 3/42

識別記号
H 7511-4E
D 7511-4E
A 7511-4E

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平4-153971

(22)出願日 平成4年(1992)6月15日

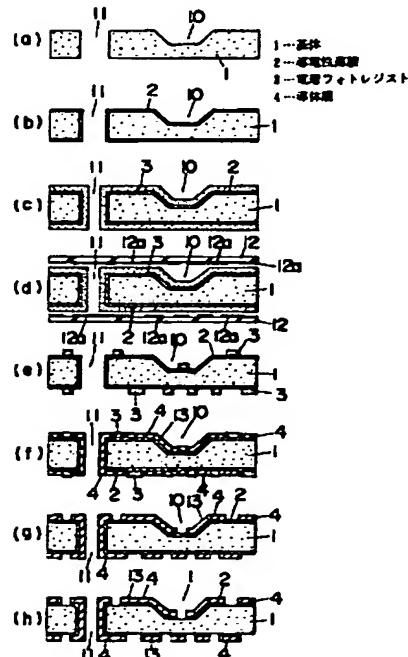
(71)出願人 000005832
松下電工株式会社
大阪府門真市大字門真1048番地
(72)発明者 齋井 良行
大阪府門真市大字門真1048番地松下電工株
式会社内
(72)発明者 延谷 徹
大阪府門真市大字門真1048番地松下電工株
式会社内
(72)発明者 小林 誠司
大阪府門真市大字門真1048番地松下電工株
式会社内
(74)代理人 弁理士 石田 長七 (外2名)

(54)【発明の名称】 プリント配線板の製造方法

(57)【要約】

【目的】 立体的に形成された基体1の表面にファインパターンで回路形成する。

【構成】 立体的に形成された基体1の表面に導電性薄膜2を設ける。導電性薄膜2の表面に電着フォトレジスト3を被着する。電着フォトレジスト3を露光・現像処理して電着フォトレジスト3を回路パターンで除去する。電着フォトレジスト3の除去で露出される部分において導電性薄膜2の表面に電気メッキして導体層4を形成する。電着フォトレジスト3を剥離した後、電着フォトレジスト3の剥離で露出される導電性薄膜2をエッチング除去する。導電性薄膜2の電着フォトレジスト3で覆われず露出される部分に電気メッキして所定厚みの導体層4を設けることによって回路形成することができ、エッチングは薄い導電性薄膜2を除去する軽い処理で済む。



【特許請求の範囲】

【請求項1】 立体的に形成された基体の表面に導電性薄膜を設け、この導電性薄膜の表面に電着フォトレジストを被着すると共に電着フォトレジストを露光・現像処理して電着フォトレジストを回路パターンで除去し、電着フォトレジストの除去で露出される部分において導電性薄膜の表面に電気メッキして導体層を形成し、電着フォトレジストを剥離した後、電着フォトレジストの剥離で露出される導電性薄膜をエッティング除去することを特徴とするプリント配線板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表面が立体的に形成されたプリント配線板の製造方法に関するものである。

【0002】

【従来の技術】 MCB (Molded Circuit Board) やMID (Molded Interconnection Device) として、樹脂のモールド成形品で基体（基板）を作成したプリント配線板が最近注目されている。このようなMCBやMIDの基体は表面が立体的に形成されているために、表面が平滑面であることを前提とする従来の回路形成法をそのまま採用することはできない。

【0003】 そこで、種々の工夫がなされており、例えば特開平4-76985号公報においてレジストとして電着フォトレジストを用いたプリント配線板の製造法が提供されている。すなわち、基体の表面の全面に無電解メッキした後さらに電気メッキして回路として要求される厚みの金属層を設け、次にこの金属層の上に電着フォトレジストを被着する。従来よりフォトレジストは塗布したり印刷したりして被着されており、表面が平滑な基板の表面には均一な厚みでフォトレジストを被着させることができるが、表面が立体的な基体の場合には均一な厚みでフォトレジストを被着させることができない。一方、電着フォトレジストは電着塗装の技術をフォトレジストの塗布に応用したものであり、電着フォトレジスト液に基体を浸漬して電着フォトレジスト液と基体の金属層との間に直流電流を通電すると、電気メッキと同様な原理で電極反応によって電着フォトレジスト液の樹脂成分が金属層の表面に析出し、金属層の表面に電着フォトレジストを電着塗装することができる。金属層の表面に析出した電着フォトレジストは電気的に絶縁性であるために、金属層の表面で部分的に電着フォトレジストの析出量に差が生じると、析出量が少なく絶縁性の低い部分に析出が集中することになり、この結果、基体の表面が立体的に凹んだ部分があっても均一な厚みで電着フォトレジストを塗布することができる。そして所定の回路パターンに応じて電着フォトレジストを露光することによって露光した部分を分解させ、次に現像することによって電着フォトレジストの露光され分解された部

分を溶解除去し、回路パターンとは逆パターンで金属層を露出させる。そしてエッティング液で処理することによって金属層の露出される部分を溶解除去して金属層の残存部分で回路を形成した後、電着フォトレジストを除去することによって、プリント配線板を作成することができるものである。

【0004】

【発明が解決しようとする課題】 上記特開平4-76985号公報の工法では、基体の表面に無電解メッキ及び電解メッキで形成される金属層は回路として必要な厚み、例えば10~50μmの厚みで形成する必要がある。そしてこの金属層の不要部分をエッティングすることによって回路形成をおこなうことになるが、10~50μm程度に厚く形成されている金属層をエッティングするにあたっては処理時間を長くする等の必要があり、この結果、回路として残すべき金属層の側面がエッティング液で侵食されていわゆるサイドエッティングされ易くなる。従って回路のパターン精度が悪くなつてファインパターンで回路形成することが難しくなるという問題があった。

【0005】 本発明は上記の点に鑑みてなされたものであり、ファインパターンで回路形成することができるプリント配線板の製造方法を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明に係るプリント配線板の製造方法は、立体的に形成された基体1の表面に導電性薄膜2を設け、この導電性薄膜2の表面に電着フォトレジスト3を被着すると共に電着フォトレジスト3を露光・現像処理して電着フォトレジスト3を回路パターンで除去し、電着フォトレジスト3の除去で露出される部分において導電性薄膜2の表面に電気メッキして導体層4を形成し、電着フォトレジスト3を剥離した後、電着フォトレジスト3の剥離で露出される導電性薄膜2をエッティング除去することを特徴とするものである。

【0007】

【作用】 基体1の表面に設けた導電性薄膜2の電着フォトレジスト3で覆われず露出される部分に電気メッキして所定厚みの導体層4を設けることによって回路形成することができるために、導電性薄膜2の厚みは電着フォトレジスト3を設けたり導体層4を電気メッキする際に通電できる程度の薄い厚みで十分であり、エッティングはこの薄い導電性薄膜2を除去する軽い処理で済む。

【0008】

【実施例】 以下本発明を実施例によって詳述する。基体1は射出成形など樹脂のモールド成形によって作成されるものであり、図1(a)に示すようにその表面は凹凸を有する立体形状に形成してある。図1(a)において10は基体1の表面の凹部、11は基体1を貫通するスルーホールを示す。そして、先ず基体1の表面に粗面化等の前処理をした後に、無電解銅メッキ等の無電解メッ

キをおこなって図1 (b) のように基体1の凹部10やスルーホール11を含む全表面に銅被膜等の導電性薄膜2を被着させる。導電性薄膜2は後述の電着フォトレジスト3を設けたり導体層4を電気メッキしたりする際に通電するために設けるものであるので、通電に支障がない範囲で薄く形成しておけばよく、例えば0.5~1.0 μm (好ましくは5 μm 以下) 程度の薄い厚みで十分である。

【0009】このように基体1の表面に導電性薄膜2を設けた後に、導電性薄膜2の表面の全面に図1 (c) のように電着フォトレジスト3を被着させる。電着型のフォトレジストには特開昭63-23389号公報等に報告されているようにカチオン型とアニオン型があり、一般に提供されている任意のものを使用することができる。そして基体1を電着フォトレジスト液に浸漬すると共に電着フォトレジスト液に電極を差込み、基体1の導電性薄膜2をカチオン型電着フォトレジスト液の場合は陰極に、アニオン型電着フォトレジスト液の場合には陽極にそれぞれ接続すると共に、電極をカチオン型電着フォトレジスト液の場合は陽極に、アニオン型電着フォトレジスト液の場合は陰極にそれぞれ接続し、両者間に直流電流を流すことによって、導電性薄膜2の表面にフォトレジストを析出させて電着塗装をおこなうことができ、電着フォトレジスト3を被着することができるものである。電着フォトレジスト3は既述のように凹部10内にもスルーホール11内にも均一な厚みで被着させることができる。

【0010】このように電着フォトレジスト3を被着した後に、図1 (d) のように基体1の表面にフォトマスク12を重ねて露光をおこなう。フォトマスク12としては回路を形成するべき箇所にマスク部12aを設けたものを用い、平行光線を照射してマスク部12a以外の箇所を通過する光で電着フォトレジスト3を露光し、電着フォトレジスト3の露光した部分を硬化させる。次に現像液で処理して電着フォトレジスト3のうち露光されていない部分を溶解除去する。このように現像処理することによって、図1 (e) に示すように電着フォトレジスト3を回路パターンで除去し、回路パターンと逆のパターンで電着フォトレジスト3を残す。

【0011】次に、導電性薄膜2に電極を接続して基体1を銅メッキ液などメッキ液に浸漬すると共に導電性薄膜2に直流電流を通電することによって、電気銅メッキなど電気メッキをおこなう。このように電気メッキをおこなうと、導電性薄膜2のうち電着フォトレジスト3で覆われていて露する表面にはメッキ金属が析出して、図1 (f) のように金属銅による導体層4を形成することができる。導体層4は回路パターンで電着フォトレジスト3が除去された部分に設けられるものであり、回路として必要な1.0~5.0 μm 程度の厚みで形成される。このとき必要に応じて導体層4の表面に金メッキ13を

施すことができる。この金メッキ13は導電性薄膜2に通電する電気金メッキをおこなうことによって施すことができるものであり、金メッキ用のメッキリード線を引き回すような必要がなくなるものである。

【0012】上記のように導体層4を電気メッキして設けた後、図1 (g) のように電着フォトレジスト3を剥離液に溶解させて剥離し、そしてエッティング液で処理することによって、図1 (h) に示すように、電着フォトレジスト3の剥離で露出される不要な導電性薄膜2をエッティング除去し、導体層4によって回路を作成することができるものである。ここで、導電性薄膜2は通電できる範囲内で薄く形成されているために軽いエッティング処理で除去することができるものであり、回路を形成する導体層4の側面がエッティング液で侵食されることは殆どなく、サイドエッティングの影響を殆どなくして回路のパターン精度を高く得ることができ、ファインパターンの回路形成が可能になるものである。ちなみに、従来の技術で説明した工法では回路幅8.0 μm 、回路間隔8.0 μm が限界であるが、本発明の工法では回路幅4.0 μm 、回路間隔4.0 μm が可能である。尚、エッティング処理の際に導体層4の表面もエッティングされることになるが、導電性薄膜2と同じ程度の厚みが除去されるだけであるので問題はない。このとき金メッキ13が導体層4の表面に施してあれば、金メッキ13で導体層4を保護してエッティング液から保護することができ、導体層4の厚みが薄くなるおそれは全くない。

【0013】

【発明の効果】上記のように本発明は、立体的に形成された基体の表面に導電性薄膜を設け、この導電性薄膜の表面に電着フォトレジストを被着すると共に電着フォトレジストを露光・現像処理して電着フォトレジストを回路パターンで除去し、電着フォトレジストの除去で露出される部分において導電性薄膜の表面に電気メッキして導体層を形成し、電着フォトレジストを剥離した後、電着フォトレジストの剥離で露出される導電性薄膜をエッティング除去するようにしたので、基体の表面に設けた導電性薄膜の電着フォトレジストで覆われず露出される部分に電気メッキして所定厚みの導体層を設けることによって回路形成することができるものであり、導電性薄膜の厚みは電着フォトレジストを設けたり導体層を電気メッキする際に通電できる程度の薄い厚みで十分であつて、エッティングはこの薄い導電性薄膜を除去する軽い処理で済むことになり、エッティングの際に回路を形成する導体層がサイドエッティングされることを低減して回路パターンの精度を高めることができ、ファインパターンで回路形成することができるものである。

【図面の簡単な説明】

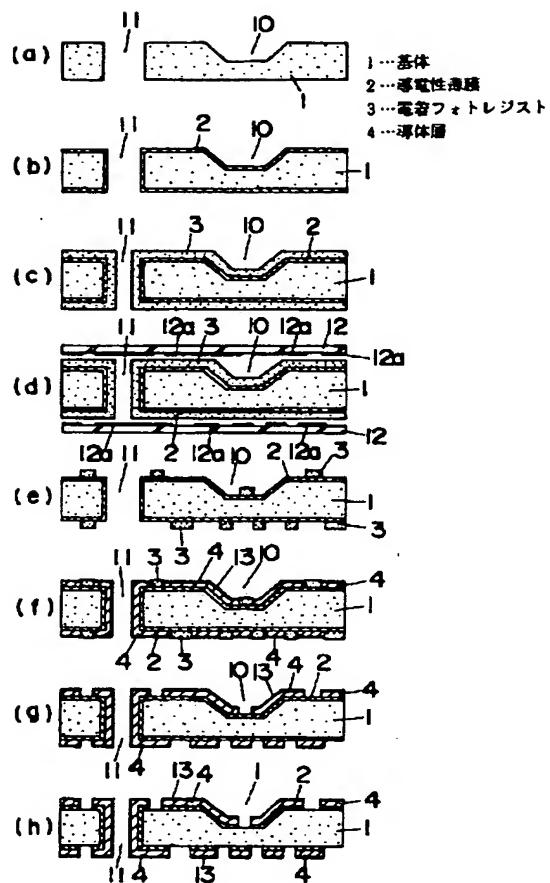
【図1】本発明の一実施例を示すものであり、(a) 乃至 (h) は各工程での断面図である。

【符号の説明】

1 基体
2 导電性薄膜

3 電着フォトレジスト
4 导体層

[図1]



BEST AVAILABLE COPY